

F-03E D0134

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許出願公告番号

特公平6-91425

(24) (44)公告日 平成6年(1994)11月14日

(51)Int.Cl. <sup>5</sup> H 03 K 3/037 23/00 23/40	識別記号 Z 8124-5 J B 2109-5 J 2109-5 J	府内整理番号 F I	技術表示箇所
--	--	---------------	--------

発明の数1(全5頁)

(21)出願番号 特願昭62-88509	(71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 昭和62年(1987)4月10日	(72)発明者 佐藤 祐一 栃木県小山市城東3丁目28番1号 富士通 ディジタル・テクノロジ株式会社内
(65)公開番号 特開昭63-254823	(74)代理人 弁理士 松岡 宏四郎
(43)公開日 昭和63年(1988)10月21日	審査官 石井 研一
	(56)参考文献 特開 昭49-29756 (JP, A) 特開 昭49-44655 (JP, A) 特開 昭52-120665 (JP, A) 実開 昭49-147952 (JP, U)

(54)【発明の名称】 D形フリップフロップを使用した分周回路

【特許請求の範囲】

【請求項1】 第1アンド回路、第2アンド回路及びオア回路を有するセレクタと、セレクタのオア回路の出力がD端子に、またクロックがCK端子にそれぞれ入力されるD形フリップフロップとを備え、セレクタにおいて第1アンド回路には制御信号の逆信号及びD形フリップフロップのQ出力が入力され、第2アンド回路には制御信号及びD形フリップフロップのQ出力とが入力され、第1、第2アンド回路の出力はオア回路に入力され、D形フリップフロップのQ出力は分周出力となると共に次段のセレクタへの制御信号となる如く構成されていることを特徴とするD形フリップフロップを使用した分周回路。

【発明の詳細な説明】

【概要】

D形フリップフロップ(以下D-FFという)を使用した

分周回路において、複数のD-FFを直列に継続接続した場合にも、出力の遅延量は1個のD-FFの遅延量となるように、各D-FFはセレクタと結合接続され、セレクタは第1、第2アンド回路とオア回路とを有し、第1アンド回路には制御信号の逆信号とD-FFのQ出力が入力され、第2アンド回路には制御信号とQ出力が入力され、第1、第2アンド回路の出力は、オア回路を介してD-FFのD端子に、またクロックCLKはCK端子に入力され、Q出力は分周出力となると共に次段のセレクタへの制御信号とする。

【産業上の利用分野】

本発明はデータ伝送装置等に使用されるD形フリップフロップ(以下D-FFという)を使用した分周回路の改良に関する。

【從来技術と発明が解決しようとする問題点】

以下従来例を図を用いて説明する。

第3図においてD形フリップフロップ(以下D-FFという)10, 11, 12は図の如く直列に接続され、D-FF10のCK端子にはクロックが入力され、Q<sub>1</sub>よりは2分周出力が取出され、またQ<sub>1</sub>よりの出力はD-FF11のCK端子及びD-FF10のD端子に入力される。

D-FF11ではQ<sub>2</sub>より4分周出力が取出され、Q<sub>2</sub>よりの出力はD-FF12のCK端子及び11のD端子に入力される。従ってD-FF12でも10, 11と同様であり、Q<sub>3</sub>からは8分周出力が得られ、Q<sub>3</sub>出力は次段のD-FFのCK端子及びD-FF12のD端子に入力される。

かかる分周回路の各部の動作図は第4図に示される。

D-FF10ではクロックCLKによって反転し、図においてQ<sub>1</sub>, Q<sub>1</sub>出力が取り出される。この場合Q<sub>1</sub>出力はクロックCLKの周期に対し2分周出力となっており、Q<sub>1</sub>, Q<sub>1</sub>はクロックCLKに対しt<sub>1</sub>の遅延の後に出力される。

D-FF11は、D-FF10のQ<sub>1</sub>出力で制御されるので、Q<sub>1</sub>より更にt<sub>1</sub>の遅延時間後に転換し、Q<sub>2</sub>, Q<sub>2</sub>出力を発生する。D-FF12でも同様で、D-FF11のQ<sub>2</sub>出力で制御され、Q<sub>2</sub>出力よりt<sub>1</sub>時間の遅延の後Q<sub>3</sub>, Q<sub>3</sub>出力を発生するが、このQ<sub>3</sub>, Q<sub>3</sub>出力はD-FF10が転換した時のクロックCLKより3t<sub>1</sub>の遅延となっている。

即ち分周回路の各段毎にそれぞれのD形フリップフロップの転換のための遅延時間が相加され、上述の如く各D-FFの転換のための遅延時間が等しい場合、D-FFの遅延時間に対し直列接続のD-FFの数を乗じた時間が分周回路の遅延時間となり、遅延量が大で、高速化の妨げとなり、又段数により遅延量が変わるので遅延量の計算が複雑になるという問題点がある。

#### [問題点を解決するための手段]

上記問題点は本発明によって、第1アンド回路、第2アンド回路及びオア回路を有するセレクタと、セレクタのオア回路の出力がD端子に、またクロックがCK端子にそれぞれ入力されるD形フリップフロップとを備え、セレクタにおいて第1アンド回路には制御信号の逆信号及びD形フリップフロップのQ出力が入力され、第2アンド回路には制御信号及びD形フリップフロップのQ出力が入力され、第1、第2アンド回路の出力はオア回路に入力され、D形フリップフロップのQ出力は分周出力となると共に次段のセレクタへの制御信号となる如く構成されていることを特徴とするD形フリップフロップを使用した分周回路によって解決される。

#### [作用]

本発明では分周回路の各段をセレクタとD形フリップフロップとの結合によって構成し、D-FFのQ出力は次段のセレクタに対する制御信号となるように各段間が接続される。

さらにQ出力は自段のセレクタ第1アンド回路に、またQ出力は第2アンド回路にそれぞれ入力され、前段よりのQ出力は制御信号としてこの自段のセレクタの第2ア

ンド回路にはそのまま、また第1アンド回路には逆信号として印加される。

しかもD-FFはD端子への“1”入力のない状態ではQ出力は“1”となっているので、前段よりのQ出力の“1”と、自段のQ出力の“1”とで自段のD-FFが転換し、そのQ出力が“1”となると、前段よりのQ出力が“0”となつても、第1アンド回路によって、このD-FFは状態を続け、Q出力“1”が維持され、この状態は前段よりの次のQ出力“1”が再び“0”になるまで維持される。従ってそのQ出力は前段よりのQ出力の1/2周期となる。

またかかる動作において、各段のD-FFはクロックCLKで制御され、各段のD-FFは前段のQ出力の入力の際クロックCLKよりt<sub>1</sub>の遅延時間後に転換するので、分周回路の遅延時間は1個のD-FFの遅延時間t<sub>1</sub>のみとなり、各段のD-FFの遅延時間は相加されることはない。

従って分周回路は従来回路に比較して高速度で動作し、かつ分周回路の遅延時間の計算は簡単となる。

#### [実施例]

以下本発明の実施例を図によって説明する。

第1図は本発明の実施例としての分周回路であり、第2図は第1図の回路の各部の動作図である。

第1図において分周回路の各段は図の如くセレクタ15, 16, 17とそれぞれ対応するD形フリップフロップ(以下D-FFという)18, 19, 20の組合せとなっている。

また各セレクタは、例えば第1段の如く第1アンド回路21、第2アンド回路22及びオア回路23で構成され、第1アンド回路21には制御信号の逆信号とD-FF18のQ<sub>1</sub>出力が入力され、また第2アンド回路には制御信号とD-FF18のQ<sub>1</sub>出力が入力され、各アンド回路の出力はオア回路に入力され、オア回路の出力はD-FF18のD端子に入力される。

D-FF18のクロック端子CKにはクロックCLKが入力される。

またD-FF18のQ<sub>1</sub>出力は前述の如くセレクタの第1アンド回路21に入力されると共に分周出力となり、さらに次段のセレクタへの制御信号となっている。

さらに第3段のセレクタへの制御信号D-FF18のQ<sub>1</sub>出力とD-FF19のQ<sub>2</sub>出力がアンドAND30を介して与えられる。また各D-FFはD端子に“1”が与えられるとクロックCLKにおいて一定の遅延時間t<sub>1</sub>後に転換するものとする。かかる本発明による分周回路の動作を第2図の動作図によって説明する。

即ち本発明による分周回路では、動作の際第1段のセレクタへは制御信号として“1”が固定して与えられ、またD-FF18ではQ<sub>1</sub>の出力は“1”であるので、第2アンド回路22は出力“1”をオア回路23を介してD-FF18のD端子に与える。

これによってD-FF18はクロックCLKが与えられると一定の遅延時間t<sub>1</sub>の後転換し、Q<sub>1</sub>は“1”、Q<sub>1</sub>は“0”的如き出力を発生する。Q<sub>1</sub>出力は2分周出力となると共に制

( 2 )

御信号となってセレクタ16の第2アンド回路25にはそのまま、また第1アンド回路24には逆信号として与えられる。

さらにQ<sub>1</sub>出力はセレクタ15の第1アンド回路21に入力されるが、この21には制御信号として“1”的逆信号が与えられているので出力は生じない。しかしQ<sub>1</sub>出力は“0”となっているので、第2アンド回路22からの“1”出力、即ちD-FF18のD端子への“1”出力はなくなり、従ってD-FF18は次のクロックCLKにおいてt<sub>1</sub>の遅延時間後に転換する。

これによってQ<sub>1</sub>は再び“1”出力となり、セレクタ15の第2アンド回路22に与えられるので、これよりの“1”出力はオア回路23を介してD-FF18のD端子に与えられ、クロックCLKよりt<sub>1</sub>の遅延時間の後転換する。

従ってD-FF18は図示の如きQ<sub>1</sub>, Q<sub>1</sub>出力を発生し、これはクロックCLKの周期の1/2周期となっていると共に、次段のセレクタ16への制御信号となる。

第2段のセレクタ16にD-FF18のQ<sub>1</sub>出力が与えられる、その時Q<sub>2</sub>は“1”となっているのでクロックCLKによってD-FF18はt<sub>1</sub>の遅延時間の後転換し、Q<sub>2</sub>, Q<sub>2</sub>出力を発生する。しかしてQ<sub>2</sub>は“1”より“0”に転換するが、Q<sub>2</sub>は“0”より“1”に転換しており、またQ<sub>1</sub>が“1”より“0”になっても、これは第1アンド回路24では“1”として与えられるので、第1アンド回路24よりの“1”はオア回路26を介してD-FF19のD端子に与えられ、従ってQ<sub>1</sub>が“0”となり、Q<sub>2</sub>も“0”とっても、D-FF19は転換せずQ<sub>2</sub>は“1”を出力する。

しかしQ<sub>1</sub>が再び“1”になった後“0”になると第1, 第2アンド回路24, 25のいづれからも、オア回路26を介する

“1”がD-FF19のD端子には与えられなくなり、D-FF19は次のクロックCLKにおいてt<sub>1</sub>の遅延時間後に転換し、Q<sub>2</sub>は“0”, Q<sub>2</sub>は“1”となる

即ちD-FF19はD-FF18よりのQ<sub>1</sub>出力で制御されて、図の如くQ<sub>2</sub>, Q<sub>2</sub>出力を断続出力し、Q<sub>2</sub>出力はクロックCLKに対し4分周出力となる。

第3段のセレクタ17への制御信号はQ<sub>2</sub>とQ<sub>1</sub>の出力がAND30を介して与えられる。即ち第2図に示すAND30の出力に応じてセレクタ17を介し、D-FF20はクロックCLKより時間t<sub>1</sub>の遅延後転換し、図の如く断続し、Q<sub>3</sub>出力は8分周出力となる。

かかる本発明では、D-FF18, 19, 20のいづれでもセレクタに前段より制御信号の“1”が与えられると、クロックCLKよりt<sub>1</sub>の遅延時間後に転換し、2分周, 4分周, 8分周をQ端子より出力する。

#### 【発明の効果】

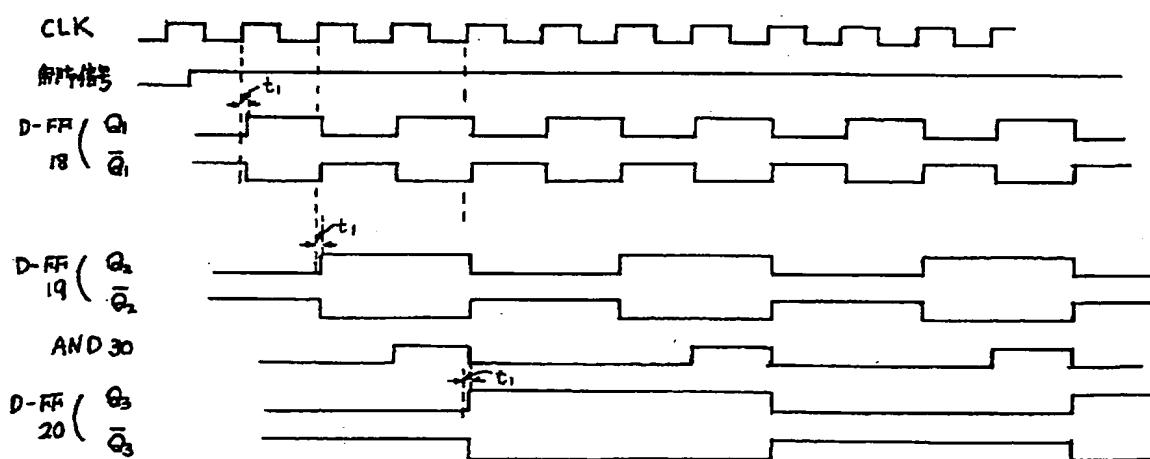
即ち各D-FFの転換のための遅延時間が加算されることはなく、遅延時間は1個のD-FFのt<sub>1</sub>のみとなる。従って分周回路は従来例より高速に動作し、かつ遅延時間の計算は簡単となる。

#### 【図面の簡単な説明】

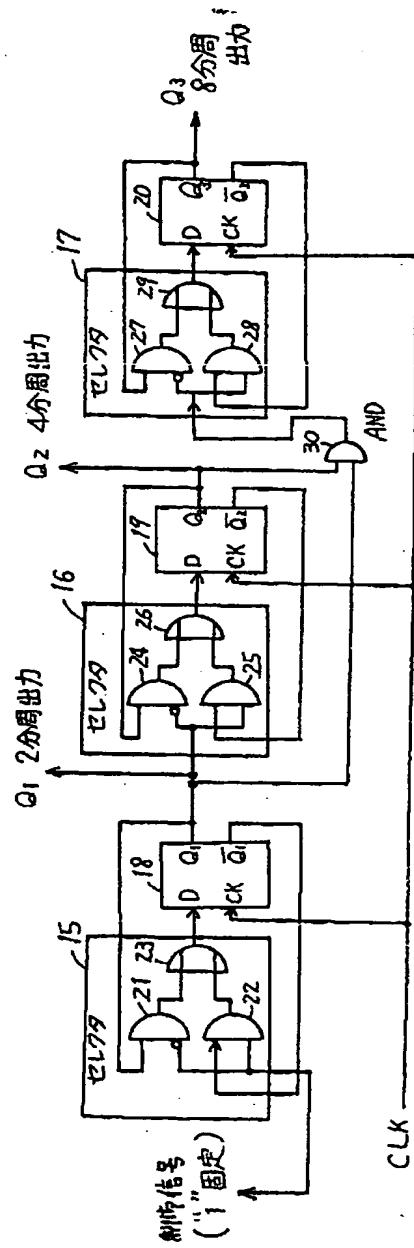
第1図は本発明の実施例の分周回路、第2図は第1図の回路の動作図を示し、第3図は従来例の分周回路で第4図はその動作図を示す。

図において、10, 11, 12, 18, 19, 20はそれぞれD形フリップフロップ、15, 16, 17はセレクタ、21, 24, 27は第1アンド回路、22, 25, 28は第2アンド回路、23, 26, 29はオア回路を示す。

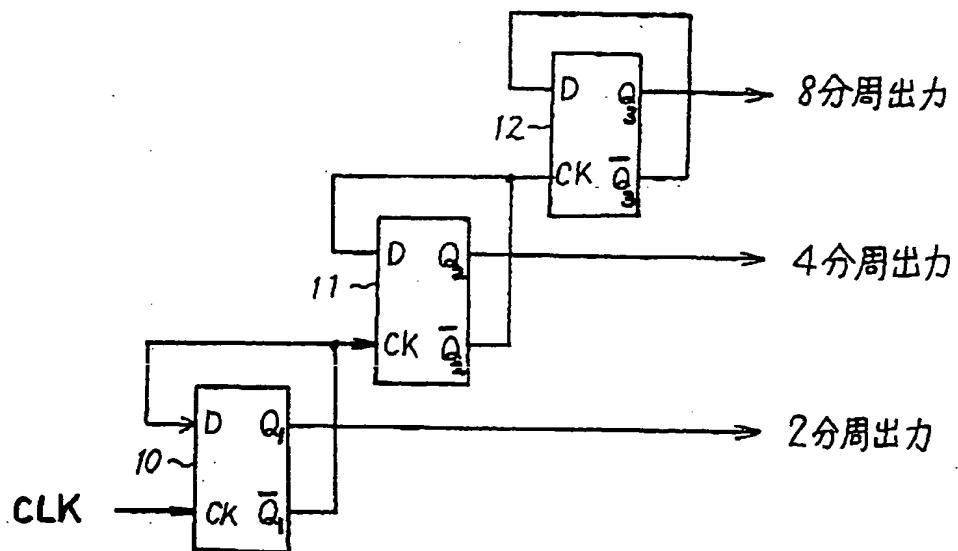
【第2図】



【第1図】



【第3図】



【第4図】

